

JP53126567U

Patent number: JP53126567U
Publication date: 1978-10-07
Inventor:
Applicant:
Classification:
- international: *H01L27/06; H01L21/8247; H01L27/04; H01L29/78; H01L29/788; H01L29/792; H03F1/00; H03F1/42; H03F1/52; H03K17/08; H01L27/06; H01L21/70; H01L27/04; H01L29/66; H03F1/00; H03F1/42; H03F1/52; H03K17/08; (IPC1-7): H01L29/78; H01L27/04; H03F1/00*
- european:
Application number: JP19770033140U 19770315
Priority number(s): JP19770033140U 19770315

Report a data error here

Abstract not available for JP53126567U

Data supplied from the **esp@cenet** database - Worldwide**BEST AVAILABLE COPY**

公開実用 昭和53-126567



(¥ 3,000)

実用新案登録願(3)

昭和52年3月15日

特許庁長官殿

1. 考案の名称 MOSトランジスタのゲート保護回路

2. 考案者

住 所 守口市京阪本通2丁目18番地
三洋電機株式会社内
氏 名 中島三郎

3. 実用新案登録出願人

住 所 守口市京阪本通2丁目18番地

名 称 (188) 三洋電機株式会社

代表者 井植薰

連絡先：電話（東京）835-1111 特許センター駐在 鎌田

4. 添付書類の目録

(1) 明細書	1通
(2) 図面	1通
(3) 願書副本	1通

53-126567

52 033140

方
審
式
臺

納



明細書

1. 考案の名称

MOSトランジスタのゲート保護回路

2. 實用新案登録請求の範囲

1. 王MOSトランジスタと、該MOSトランジスタのゲート・ソース間に接続されたフローティングゲート構造の従MOSトランジスタと、から成り、該従MOSトランジスタの閾値電圧を主MOSトランジスタのゲート破壊電圧に比して小IC設定せしめ該従MOSトランジスタを主MOSトランジスタの保護素子として用いる事を特徴としたMOSトランジスタのゲート保護回路。
2. 上記従MOSトランジスタのゲート並びにドレインを主MOSトランジスタのゲートに、従MOSトランジスタのソースを主MOSトランジスタのソースに接続せしめた事を特徴とする実用新案登録請求の範囲第1項記載のMOSトランジスタのゲート保護回路。
3. 上記従MOSトランジスタを主MOSトランジスタと同一半導体基板上に形成せしめた事を

ナニカ

公開実用 昭和53-126567

2

特徴とする実用新案登録請求の範囲第1項記載の
MOSトランジスタのゲート保護回路。

3. 考案の詳細な説明

本考案はMOSトランジスタ(Metal Oxide Semiconductor Transistor: 以下MOSと略す)のゲート保護回路に関する、

第1図にMOSを示す。同図に於いて、(1)は一導電型半導体基板、例えばN型シリコン基板、(2)(3)は該基板(1)に形成されたP型のソース、ドレイン領域で、該両領域(2)(3)間の基板(1)表面にゲート酸化膜(4)を介してゲート電極(5)が設けられている。(6)(7)はソース、ドレイン領域(2)(3)に接したソース並びにドレイン電極である。

斯る構成のMOSに於いて、該MOSのゲート電極(5)に高電圧が印加されるとゲート酸化膜(4)が絶縁破壊を起こしてしまう。そこでゲート酸化膜(4)の絶縁破壊を防止する為に種々の方法が考えられているが以下にゲート酸化膜(4)の保護素子としてツェナーダイオードとMOSとを用いた

従来例について述べる。

ツェナーダイオードを保護素子として用いたものが第2図に示されている。同図に於いて、(8)は第1図のMOS(9)と同一基板(1)上に形成されたツェナーダイオードで、該ツェナーダイオード(8)はMOS(9)のゲート電極(5)とソース電極(6)とで接続せしめられている。このツェナーダイオード(8)のツェナー電圧は上記MOS(9)のゲート破壊電圧に比して小でかつMOS(9)の閾値電圧より大に設定されている。従って、MOS(9)のゲート電極(5)に印加されるゲート電圧がゲート酸化膜(4)の破壊領域に達するまでにツェナーダイオード(8)が導通状態となりゲート電圧は該ツェナーダイオード(8)を介してバイパスされ接地されるのでMOS(9)のゲート酸化膜(4)は絶え破壊されない。

第3図にMOSを保護素子としているのを示す。同図に於いて、(10)は主MOS(9)と同一基板(1)上に形成された従MOSで、該MOS(10)の閾値電圧は該主MOS(9)より高くゲート破壊電圧より小になる様にゲート酸化膜の厚さが制御

されており、この従MOS(10)のゲート電極とドレイン電極とは主MOS(9)のゲート電極(5)に、ソース電極はソース電極(6)に天々接続されている。従って、これもツェナーダイオード(8)の場合と同様にゲート破壊電圧領域に到達するまでに従MOS(10)が導通してゲート絶縁破壊を防止する。

然し乍ら、上述した如くツェナーダイオード(8)のツェナー電圧を所望の値に設定するにはツェナーダイオード(8)のPN接合の不純物濃度の厳密な制御が必要で再現性良くツェナー電圧を設定する事は非常に困難である、また、従MOS(10)の場合も該従MOS(10)と主MOS(9)の耐圧電圧を決定するゲート酸化膜(4)の膜厚を異ならしめる必要があり、その為に工程数が増加したり、更に正確な厚みの制御が難しい等の欠点を有している。

本考案は以上の点に鑑みて為されたものであつて以下に第4図を参照しつつ詳述する。

同図に於いて、(9)は半導体基板(1)、ソース領域(2)、ドレイン領域(3)、ゲート酸化膜(4)、ゲート電極(5)、ソース電極(6)、ドレイン電極(7)等から成る

主M O S T、即は該主M O S T(9)と同一基板(1)上に形成された従M O S Tで、該従M O S T(20)はフローティングゲート構造のものである。このフローティングゲート構造の従M O S T(20)はフローティングゲート(20)に注入する電荷量に依ってその閾値電圧が変化する特性を持っており、該従M O S T(20)のゲート電極(20)とドレイン電極(20)とは主M O S T(9)のゲート電極(5)に接続され、従M O S T(20)のソース電極(20)は主M O S T(9)のソース電極(16)に接続されている。この主M O S T(9)と従M O S T(20)との接続状態の電気回路図を第5図に示す。

ここでフローティングゲート構造の従M O S T(20)について説明を加える。このM O S T(20)のフローティングゲート(20)に正又は負の電荷を注入するとその閾値電圧が正方向又は負方向に移行する事は良く知られている。例えばPチャンネル型の場合、初期状態に於いては-0.5V~-1.0Vの閾値電圧を有しているが、フローティングゲート(20)に負の電荷を注入するとその閾値電圧は正の方向へ移行し、また正の電荷を注入すると負の方向へ

移行する。その閾値電圧の移動量はフローティングゲート凹に注入する電荷量に略比例する関係にある。従って、フローティングゲート凹に注入する電荷の極性並びにその注入量を選択する事に依って従MOS(8)の閾値電圧を主MOS(9)の閾値電圧より大でゲート破壊電圧より小で且つ主MOS(9)の動作に支障を来さない範囲に正確に設定出来る。その結果主MOS(9)のゲート電極(5)に該ゲート破壊電圧が印加される以前に従MOS(8)が導通状態に至りこのゲート破壊電圧は接地されるので主MOS(9)のゲート破壊膜(4)の絶縁破壊を防止する事が出来る。

以下に本考案MOSのゲート保護回路の実施例を記載する。

先ず、主MOS(9)はモリブデンゲートのNチャレンネルMOSで、ゲート絶縁膜(4)がシリコン酸化膜 500 \AA 、シリコン窒化膜 800 \AA の2重構造を有しており、その閾値電圧は -5 V 、ゲート破壊電圧は約 -20 V のものである。一方、従MOS(8)はPチャレンネルのMOSで、ゲート

絶縁膜(4)がシリコン酸化膜 200 \AA 、シリコン窒化膜 800 \AA でこのシリコン酸化膜と窒化膜との間隙にモリブデンのフローティングゲート(4)が形成されている、この従MOS(2)の閾値電圧は該従MOS(2)の基板(1)、ドレイン領域、ソース領域を天々接地しゲート電極(4)に 30 V の電圧を印加せしめてフローティングゲート(4)に正の電荷を注入し、 -8 V に設定されている、従って、主MOS(9)の動作領域は $-5\text{ V} \sim -8\text{ V}$ の範囲であり -8 V を越すゲート電圧がゲート電極(5)に印加されると、従MOS(2)が動作して該ゲート電圧をバイパスする。

以上の説明から明らかに本考案MOSのゲート保護回路は主MOSの保護素子としてフローティングゲート構造の従MOSを用いているので、この従MOSの閾値電圧は所望の値に容易にしかも正確に設定出来る。従って、主MOSにゲート破壊電圧以上の電圧が印加されても従MOSが正確に動作してゲート破壊電圧をバイパスするので、従来回路に比して信頼性の高い

M O S T 回路が得られる。

4. 図面の簡単な説明

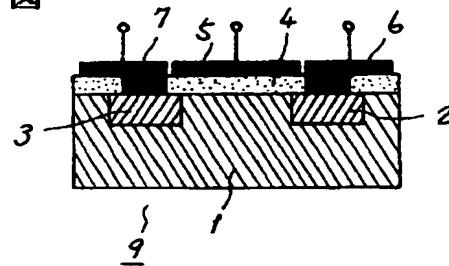
第1図はM O Sトランジスタを示す断面図、第2図はツェナーダイオードを保護素子として用いた従来例を示す電気回路図、第3図はM O Sトランジスタを用いた他の従来例を示す電気回路図、第4図は本考案回路の構成を示す要部の断面図、第5図はその電気回路図で、(1)は半導体基板、(2) (3)はソース、ドレイン領域、(4)はゲート絶縁膜、(5) (6)はゲート電極、(8) (9)はソース電極、(7) (10)はドレイン電極、(11)は正M O Sトランジスタ、(12)は従M O Sトランジスタ、(21)はフローティングゲートを夫々示す。

実用新案登録出願人

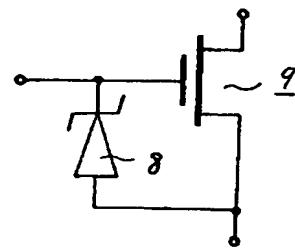
三洋電機株式会社

代表者 井 梶 譲

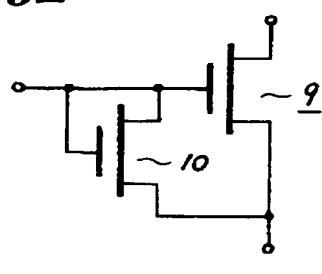
第1図



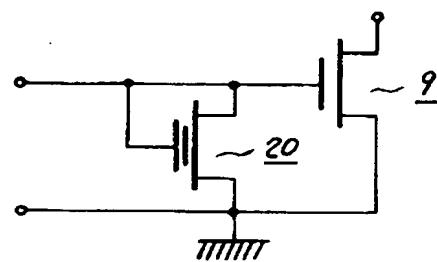
第2図



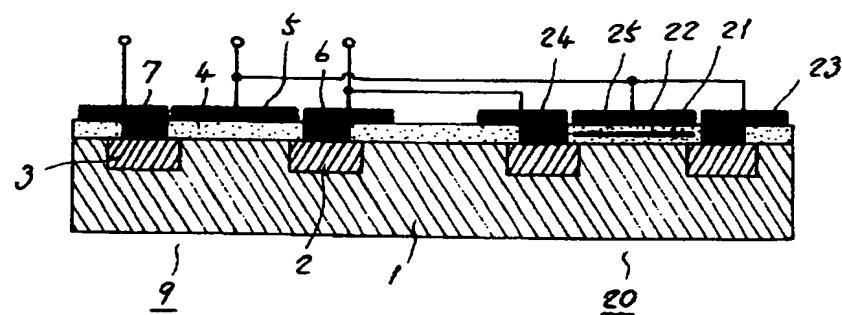
第3図



第5図



第4図



126567

実用新案登録出願人 三洋電機株式会社
代表者 井植 葦

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.